

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-145666

(43)Date of publication of application : 19.05.1992

(51)Int.Cl. H01L 29/788
H01L 27/115
H01L 29/792

(21)Application number : 02-269840 (71)Applicant : NEC CORP

(22)Date of filing : 08.10.1990 (72)Inventor : OOISHI MITSUMASA

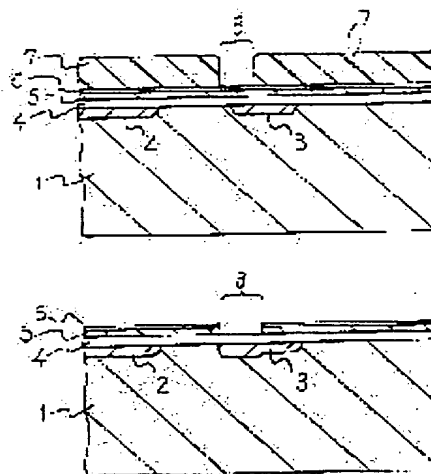
(54) ELECTRICALLY ERASABLE NONVOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To eliminate an interval between a drain region and a drain region and to reduce the area of a memory cell by composing part of the drain regions of a diffused layer formed in a self-alignment with a tunnel region.

CONSTITUTION: After a source region 2, a drain region 3 are primarily formed on a p-type Si semiconductor substrate 1, a first gate oxide film 4, a first gate nitride film 5 and an oxide film 6 are formed. Then, it is coated with a photoresist film 7, and a tunnel region 8 is patterned. With the film 7 as a mask the film 6 on the film 5, the film 5 are selectively removed. As ions are implanted, the film 7 is removed, heat treated, an n-type diffused layer is formed in a self-alignment with the region 8, and the

region 3 is secondarily formed. Since the part of the region 3 is formed of the diffused layer formed in a self-alignment with the region 8, an interval between the regions 3 and 3 is eliminated to reduce the area of a memory cell.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-145666

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月19日

H 01 L 29/788
27/115
29/792

7514-4M H 01 L 29/78 3 7 1
8831-4M 27/10 4 3 4

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 電氣的に消去書込み可能な不揮発性半導体記憶装置

⑯ 特 願 平2-269840

⑰ 出 願 平2(1990)10月8日

⑱ 発 明 者 大 石 三 真 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

電氣的に消去書込み可能な不揮発性半導体記憶装置

特許請求の範囲

一導電型の基板と、逆導電型で互いに離して設けられた一対のソース・ドレイン領域と、前記ソース・ドレイン領域間の前記基板上に電氣的に絶縁された浮遊ゲート電極とを有し、前記浮遊ゲート電極と前記ドレイン領域との間にトンネル絶縁膜で形成されたトンネル領域を有する電氣的に消去書込み可能な不揮発性半導体記憶装置において、

前記ドレイン領域の一部が前記トンネル領域と自己整合的に形成された拡散層により構成されていることを特徴とする電氣的に消去書込み可能な不揮発性半導体記憶装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、電氣的に消去書込み可能な不揮発性半導体記憶装置に関する。

〔従来の技術〕

従来の電氣的に消去書込み可能な不揮発性半導体記憶装置は、第3図(a)、(b)に示すように、ドレイン領域3の内部にトンネル領域8を形成していた。第3図(a)は、従来のメモリセルの平面模式図、第3図(b)は断面図である。

次に、トンネル領域8の形成方法について説明する。第3図(c)、(d)は工程途中の断面図である。

p型Si半導体基板1上に、SiO₂膜(図示せず)とSi₃N₄膜(図示せず)との2層を選択的に形成した後、露出した基板表面を熱酸化して厚いSiO₂からなるフィールド酸化膜(図示せず)を形成する。次に、フィールド酸化膜形成のための前述したSi₃N₄膜とSiO₂膜を除去し、熱酸化により40nmの酸化膜を形成した

後、As イオンを選択的に打ち込み熱処理を行い、濃度が $5 \times 10^{18} \text{cm}^{-3}$ 程度の n 型拡散層からなるソース領域 2、ドレイン領域 3 を形成する。

次に、前述の酸化膜を除去し、新たに厚さ 60 nm の第 1 ゲート酸化膜 4 を形成し、B イオンをエネルギー 150 keV、ドーズ $7 \times 10^{11} \text{cm}^{-2}$ とエネルギー 50 keV、ドーズ $1 \times 10^{11} \text{cm}^{-2}$ の 2 回打ち込む。次に、第 1 ゲート酸化膜 4 上にフォトレジスト膜 7 を塗布し、トンネル領域 8 のパターニングを行う。この時の断面図が第 3 図 (c) で、フォトレジスト膜 7 をマスクにしてウェットエッチングにより第 1 ゲート酸化膜 4 を選択的に除去した後、フォトレジスト膜 7 を除去し、希釈酸化により SiO_2 からなる厚さ 9 nm のトンネル絶縁膜 8a を、第 3 図 (d) のように形成していた。

(発明が解決しようとする課題)

この従来の電氣的に消去書き込み可能な不揮発性半導体記憶装置では、ドレイン領域の形成とトンネル領域の形成を完全に別の工程で行っている。

的に形成された拡散層により構成されている。

本実施例の製造方法を説明する。p 型 Si 半導体基板 1 の上に、 SiO_2 膜 (図示せず) と Si_3N_4 膜 (図示せず) との 2 層を選択的に形成した後、露出した基板表面を熱酸化して SiO_2 からなる厚いフィールド酸化膜 (図示せず) を形成する。次にフィールド酸化膜形成のための前述した Si_3N_4 膜と SiO_2 膜とを除去し、熱酸化により 40 nm の酸化膜を形成した後、As イオンを選択的に打ち込み熱処理を行い、濃度が $4 \times 10^{18} \text{cm}^{-3}$ 程度の n 型拡散層を形成し、ソース領域 2、ドレイン領域 3 の一次形成を行う。

次に、前述の酸化膜を除去し、例えば 900℃ で湿式酸化を行い、厚さ 40 nm の第 1 ゲート酸化膜 4 を新たに形成し、しきい値電圧制御のため B イオンをエネルギー 150 keV、ドーズ $7 \times 10^{11} \text{cm}^{-2}$ とエネルギー 50 keV、ドーズ $1 \times 10^{11} \text{cm}^{-2}$ の 2 回打ち込む。次に、減圧化学気相成長により厚さ 20 nm の Si_3N_4 からなる第

したがってトンネル領域をドレイン領域内部に形成するための間隔が必要とされメモリセルの面積が大きくなる問題があった。

(課題を解決するための手段)

本発明の電氣的に消去書き込み可能な不揮発性半導体記憶装置は、一導電型の基板と、逆導電型で互いに離して設けられた一対のソース・ドレイン領域と、ソース・ドレイン領域間の基板上に電氣的に絶縁された浮遊ゲート電極とを有し、浮遊ゲート電極とドレイン領域との間にトンネル絶縁膜で形成されたトンネル領域を有し、ドレイン領域の一部がトンネル領域と自己整合的に形成された拡散層により構成されている。

(実施例)

次に本発明について図面を参照して説明する。

第 1 図 (a)、(b) は本発明の第 1 の実施例のメモリセルの平面模式図、断面図である。第 1 図 (c) ~ (i) は製造方法を説明するための工程途中の断面図である。本実施例においては、ドレイン領域 3 の一部がトンネル領域 8 と自己整合

1 ゲート酸化膜 5 を形成し、続けて熱酸化を行ない、第 1 ゲート酸化膜 5 上の酸化膜 6 を形成する。その後フォトレジスト膜 7 を塗布し、トンネル領域 8 のパターニングを行なう。この時の断面図が第 1 図 (c) である。

次に、フォトレジスト膜 7 をマスクに第 1 ゲート酸化膜 5 上の酸化膜 6 と第 1 ゲート酸化膜 5 を選択的に除去して As イオンを打ち込み、フォトレジスト膜 7 を除去した後熱処理を行い、濃度が $5 \times 10^{18} \text{cm}^{-3}$ 程度の n 型拡散層をトンネル領域 8 と自己整合的に形成し、ドレイン領域 3 の二次形成を行う。この時の断面図が第 1 図 (d) である。

次に、第 1 ゲート酸化膜 5 上の酸化膜 6 とトンネル領域 8 上の第 1 ゲート酸化膜 4 とをウェットエッチングにより除去した後、希釈酸化により SiO_2 からなる厚さ 8 nm のトンネル絶縁膜 8a を形成する。このとき、第 1 ゲート酸化膜 5 の上には新たに第 1 ゲート酸化膜 5 上の酸化膜 6a が形成され、断面図が第 1 図 (e) である。

次に、全面に第1多結晶Si膜9を減圧化学気相成長により厚さ250nm堆積させ、酸素と不活性ガスの混合雰囲気中で1000℃1時間の熱処理を行い、この熱処理により形成された第1多結晶Si膜上の酸化膜を除去した後、新たに希釈酸化により厚さ15nmの第1多結晶Si酸化膜10を形成する。次に、減圧化学気相成長により厚さ15nmの第2ゲート窒化膜11を形成し、続けて熱酸化を行い、第2ゲート窒化膜11上の酸化膜12を形成する。

その後、第1図(f)に示すように、第2ゲート窒化膜11上の酸化膜12、第2ゲート窒化膜11、第1多結晶Si酸化膜10、第1多結晶Si膜9、第1ゲート窒化膜上の酸化膜6および第1ゲート窒化膜5をドライエッチングを用いて選択的に除去し、浮遊ゲート電極形成のための一次加工を行う。

次に、露出した第1ゲート酸化膜4を除去するためウェットエッチングを行い、例えば900℃の湿式酸化により厚さ40nmの第2ゲート酸化

膜13を形成する。このとき、第2ゲート窒化膜11上には新たに第2ゲート窒化膜上の酸化膜12aが形成される。次に、全面に第2多結晶Si膜14を化学気相成長により厚さ400nm堆積し、熱拡散によりPを飽和濃度近くまで添加して電気伝導性を良くし、Pの熱拡散時に形成されたガラス層を除去する。

次に、第1図(g)に示すように、第2多結晶Si膜14上に、制御ゲート電極、および選択ゲート電極形成のためのフォトレジスト膜15のパターニングを行う。

次に、異方性ドライエッチングにより第2多結晶Si膜14を加工し、制御ゲート電極16、および選択ゲート電極17を形成する。続けて、異方性ドライエッチングにより、第2ゲート窒化膜上の酸化膜12a、第2ゲート窒化膜11、第1多結晶Si酸化膜10、および第1多結晶Si膜9を選択的に除去することにより、浮遊ゲート電極形成のための二次加工を行い、浮遊ゲート電極9aを制御ゲート電極16と自己整合的に形成す

る。フォトレジスト膜15を除去した時の断面図が第1図(h)である。

次に、露出した浮遊ゲート電極9aの側面部に絶縁膜を形成するために、900℃の湿式酸化により厚さ20nmの側面酸化膜18を形成する。続いて、Asイオンをエネルギー70keV、ドーズ $4 \times 10^{14} \text{cm}^{-2}$ で打ち込んだ後、酸素と不活性ガスの混合雰囲気中で1000℃30分の熱処理を行い、n型拡散層19を形成するとともに側面酸化膜18を更に厚くする。この時の断面図が第1図(i)である。

その後第1図(b)に示すようにリンガラスからなる層間絶縁膜20を堆積させ、コンタクト孔21を開孔した後、アルミニウム配線を形成する。以後は、通常の製造方法に従って製造する。

第2図(a)、(b)は、本発明の第2の実施例のメモリセルの平面模式図、断面図である。

制御ゲート電極と選択ゲート電極を一体化した構造でメモリセルとソース領域間に選択トランジスタが設けられている。本実施例では、メモリセ

ルと選択トランジスタとが一体化しているため、第1の実施例に比べて面積を小さくできる利点がある。

図中の番号は、本発明の第1の実施例と同一構成については同一番号であり、第1の実施例と同様の製造工程の説明は省略する。

第1の実施例のようなソース領域とドレイン領域の一次形成は行わず、トンネル領域と自己整合的にドレイン領域3を形成する。第1の実施例のような第2ゲート窒化膜は形成せず、第1多結晶Si酸化膜10と第2ゲート酸化膜13を同時に形成する。浮遊ゲート電極9aのトンネル領域上の部分は、制御ゲート電極16と自己整合的に形成し、n型拡散層19とドレイン領域3を接続している。

従って、本実施例は第1の実施例に比べ製造工程が簡略できる利点がある。

〔発明の効果〕

以上説明したように本発明は、ドレイン領域の一部がトンネル領域と自己整合的に形成された拡

散層により構成されるので、ドレイン領域とドレイン領域との間隔が不要となり、メモリセルの面積を小さくするという効果を有する。

図面の簡単な説明

第1図(a)は本発明の第1の実施例の平面模式図、第1図(b)はその断面図であり、第1図(c)、(d)、(e)、(f)、(g)、

(h)、(i)は製造工程途中の断面図である。

第2図(a)は第2の実施例の平面模式図、第2図(b)はその断面図である。

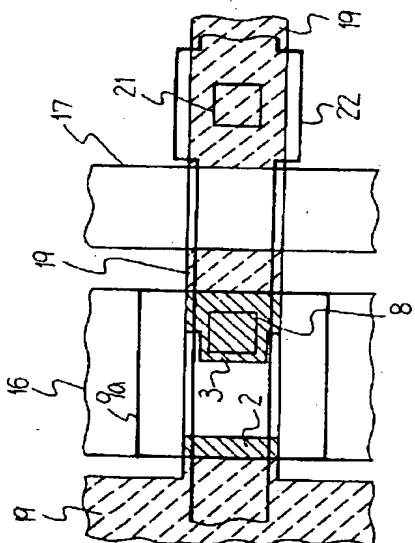
第3図(a)は従来のメモリセルの平面模式図、第3図(b)はその断面図であり、第3図(c)、(d)は製造工程途中の断面図である。

1…p型Si半導体基板、2…ソース領域、3…ドレイン領域、4…第1ゲート酸化膜、5…第1ゲート窒化膜、6、6a、12、12a…酸化膜、7、15…フォトリソ膜、8…トンネル領域、8a…トンネル絶縁膜、9…第1多結晶シリコン膜、9a…浮遊ゲート電極、10…第1多

結晶Si酸化膜、11…第2ゲート窒化膜、13…第2ゲート酸化膜、14…第2多結晶シリコン膜、16…制御ゲート電極、17…選択ゲート電極、18…側面酸化膜、19…n型拡散層、20…層間絶縁膜、21…コンタクト孔、22…アルミニウム配線。

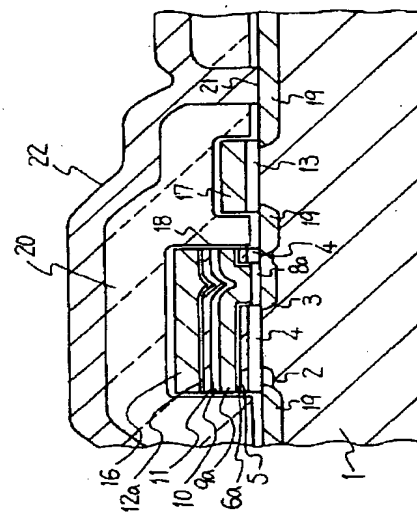
代理人 井理士 内 原 晋

2 ソース領域
3 ドレイン領域
8 トンネル領域
9a 浮遊ゲート電極
16 制御ゲート電極
17 選択ゲート電極
19 n型拡散層
21 コンタクト孔
22 アルミニウム配線



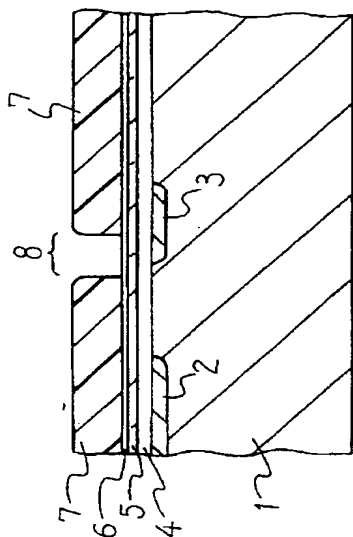
第1図(a)

1 p型Si半導体基板
2 ソース領域
3 ドレイン領域
4 第1ゲート酸化膜
5 第1ゲート窒化膜
6a 酸化膜
8a トンネル絶縁膜
9a 浮遊ゲート電極
10 第1多結晶Si酸化膜
11 第2ゲート窒化膜
12a 酸化膜
13 第2ゲート酸化膜
16 制御ゲート電極
17 選択ゲート電極
18 側面酸化膜
19 n型拡散層
20 層間絶縁膜
21 コンタクト孔
22 アルミニウム配線

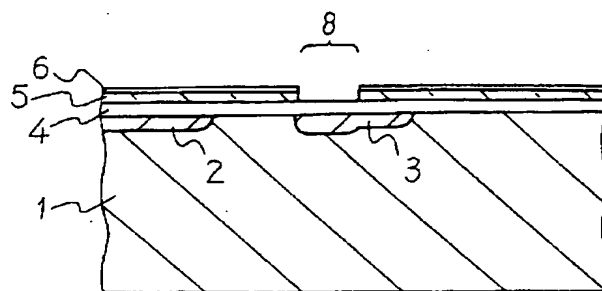


第1図(b)

- 1 P型Si半導体基板
- 2 ソース領域
- 3 ドレイン領域
- 4 第1ゲート酸化膜
- 5 第1ゲート窒化膜
- 6 酸化膜
- 7 フォトリソスト膜
- 8 トンネル領域

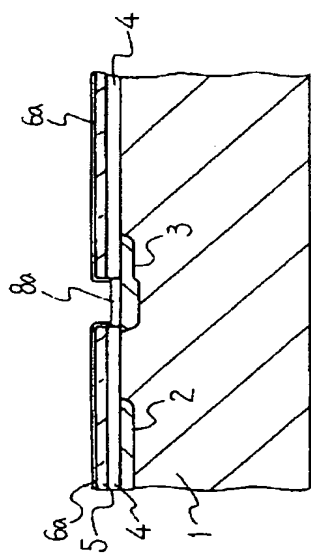


第 1 図 (c)



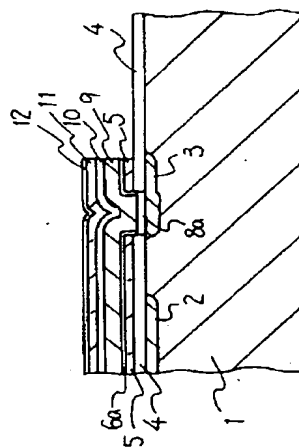
第 1 図 (d)

- 6a 酸化膜
- 8a トンネル絶縁膜

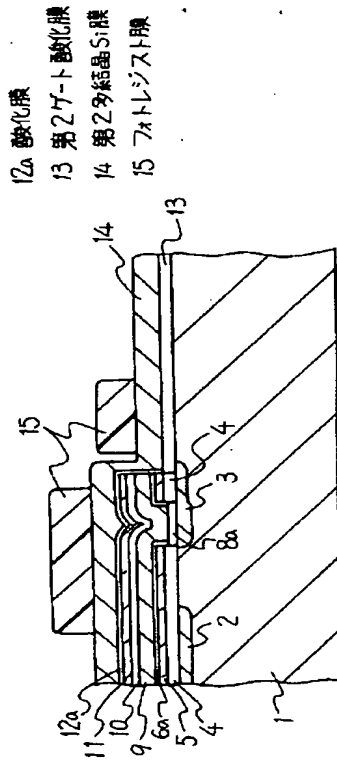


第 1 図 (e)

- 9 第1多結晶Si膜
- 10 第1多結晶Si酸化膜
- 11 第2ゲート窒化膜
- 12 第2ゲート窒化膜上の酸化膜

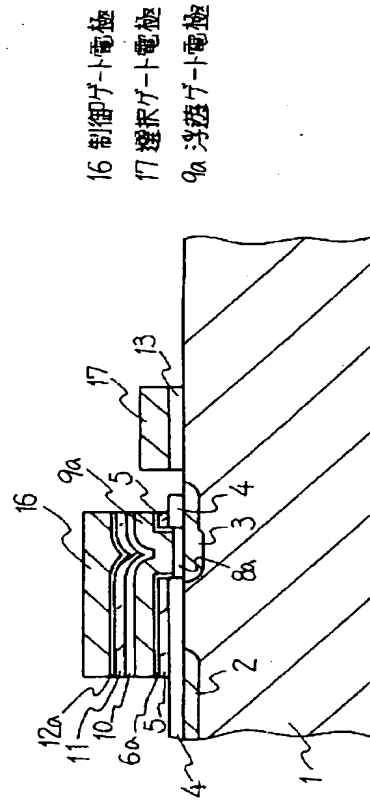


第 1 図 (f)



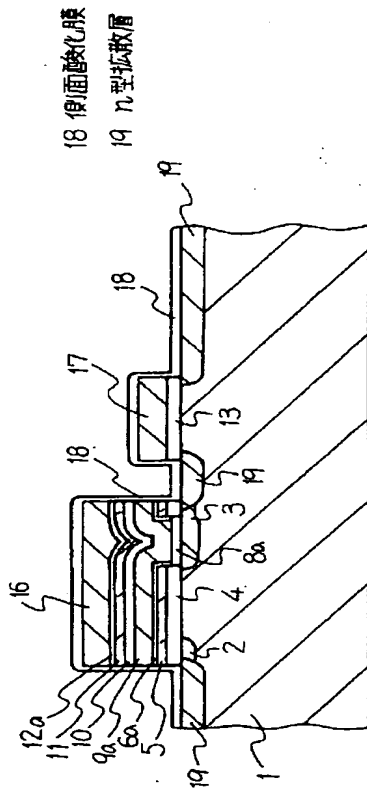
- 12a 酸化膜
- 13 第2ゲート酸化膜
- 14 第2多結晶Si膜
- 15 フォトリソレジスト膜

第1図(8)



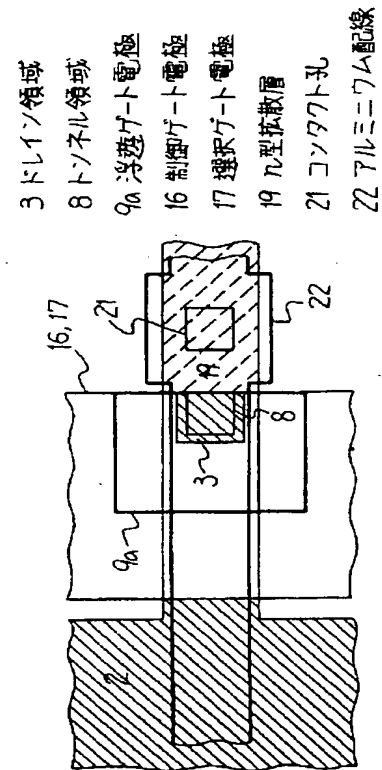
- 16 制御ゲート電極
- 17 選択ゲート電極
- 9a 浮遊ゲート電極

第1図(h)



- 18 側面酸化膜
- 19 n型拡散層

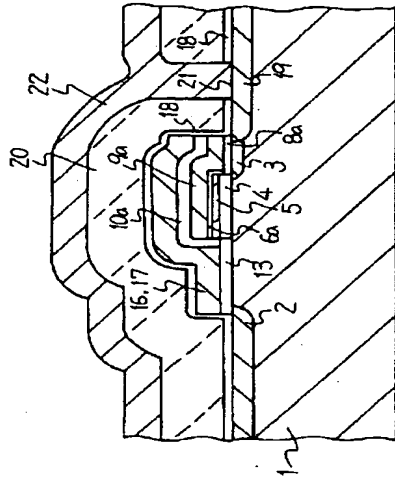
第1図(i)



- 3 トリプル領域
- 8 トリプル領域
- 9a 浮遊ゲート電極
- 16 制御ゲート電極
- 17 選択ゲート電極
- 19 n型拡散層
- 21 コンタクト孔
- 22 アルミニウム配線

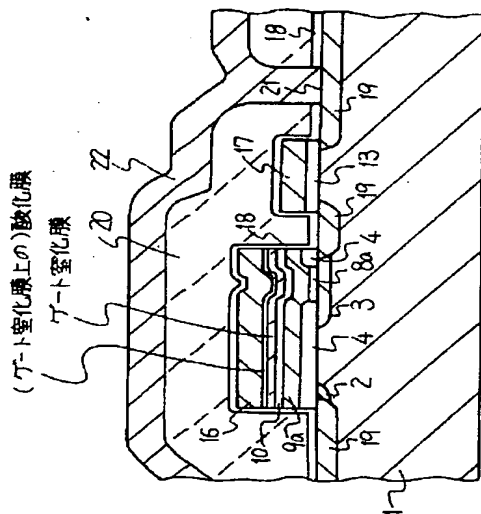
第2図(a)

- 1 p型Si半導体基板
- 2 ソース領域
- 3 ドレイン領域
- 4 第1ゲート酸化膜
- 5 第1ゲート電極
- 6a 酸化膜
- 8a トンネル絶縁膜
- 9a 浮遊ゲート電極
- 10 第1多結晶Si酸化膜
- 13 第2ゲート酸化膜
- 16 制御ゲート電極
- 17 選択ゲート電極
- 18 側面酸化膜
- 19 n型拡散層
- 20 層間絶縁膜
- 21 コンタクト孔
- 22 アルミニウム配線



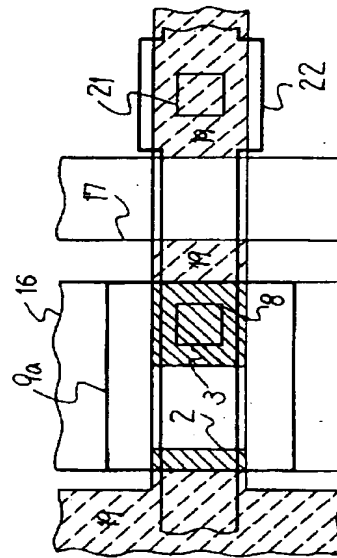
第 2 図 (b)

- 1 p型Si半導体基板
- 2 ソース領域
- 3 ドレイン領域
- 4 第1ゲート酸化膜
- 8a トンネル絶縁膜
- 9a 浮遊ゲート電極
- 10 第1多結晶Si酸化膜
- 13 第2ゲート酸化膜
- 16 制御ゲート電極
- 17 選択ゲート電極
- 18 側面酸化膜
- 19 n型拡散層
- 20 層間絶縁膜
- 21 コンタクト孔
- 22 アルミニウム配線



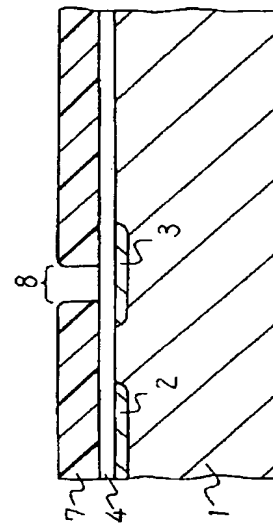
第 3 図 (b)

- 2 ソース領域
- 3 ドレイン領域
- 8 トンネル領域
- 9a 浮遊ゲート電極
- 16 制御ゲート電極
- 17 選択ゲート電極
- 19 n型拡散層
- 21 コンタクト孔
- 22 アルミニウム配線

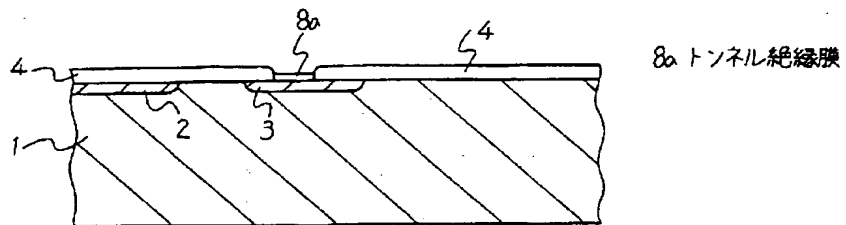


第 3 図 (a)

- 1 p型Si半導体基板
- 2 ソース領域
- 3 ドレイン領域
- 4 第1ゲート酸化膜
- 7 フォトリソスト層
- 8 トンネル領域



第 3 図 (c)



第 3 図 (d)